

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

04008078 **Image available**

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUB. NO.: **04-373178** [JP 4373178 A]

PUBLISHED: December 25, 1992 (19921225)

INVENTOR(s): ARIMA HIDEKAZU

APPLICANT(s): MITSUBISHI ELECTRIC CORP [000601] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 03-177408 [JP 91177408]

FILED: June 21, 1991 (19910621)

INTL CLASS: [5] H01L-029/784; H01L-021/316; H01L-021/318

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1367, Vol. 17, No. 253, Pg. 119, May 19, 1993 (19930519)

ABSTRACT

PURPOSE: To prevent the film decrease of a thin film polycrystalline silicon due to heat treatment in an oxidation atmosphere when a protective film is flattened in the post-treatment after the thin film polycrystalline is formed, in a device having TFT structure.

CONSTITUTION: After a thin film polycrystalline silicon 5 is deposited, a very thin thermal nitride film 10 is formed on the thin film polycrystalline silicon by heat treatment in an ammonia atmosphere.

DIALOG(R)File 352:Derwent WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

009355410 **Image available**

WPI Acc No: 1993-048889/199306

XRAM Acc No: C93-022034

XRPX Acc No: N93-037435

Low cost semiconductor device - has thin film polycrystalline silicon@
layer, nitride film and passivation film on substrate, preventing
regeneration of polysilicon@ film NoAbstract

Patent Assignee: MITSUBISHI ELECTRIC CORP (MITQ)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 4373178	A	19921225	JP 91177408	A	19910621	199306 B

Priority Applications (No Type Date): JP 91177408 A 19910621

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 4373178	A	3	H01L-029/784	
------------	---	---	--------------	--

Title Terms: LOW; COST; SEMICONDUCTOR; DEVICE; THIN; FILM;
POLYCRYSTALLINE;SILICON; LAYER; NITRIDE; FILM; PASSIVATION; FILM;
SUBSTRATE; PREVENT; REGENERATE; POLY; SILICON; FILM; NOABSTRACT

Derwent Class: L03; U11; U12

International Patent Class (Main): H01L-029/784

International Patent Class (Additional): H01L-021/316; H01L-021/318

File Segment: CPI; EPI

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-373178

(43)公開日 平成4年(1992)12月25日

(S1)Int.Cl.*

識別記号

序内整理番号

F I

技術表示箇所

H 01 L 29/784

21/316

M 8518-4M

21/318

M 8518-4M

9056-4M

H 01 L 29/ 78

3 1 1 N

審査請求 未請求 請求項の数 2(全 3 頁)

(21)出願番号

特願平3-177408

(22)出願日

平成3年(1991)6月21日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 有馬 英一

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社北伊丹製作所内

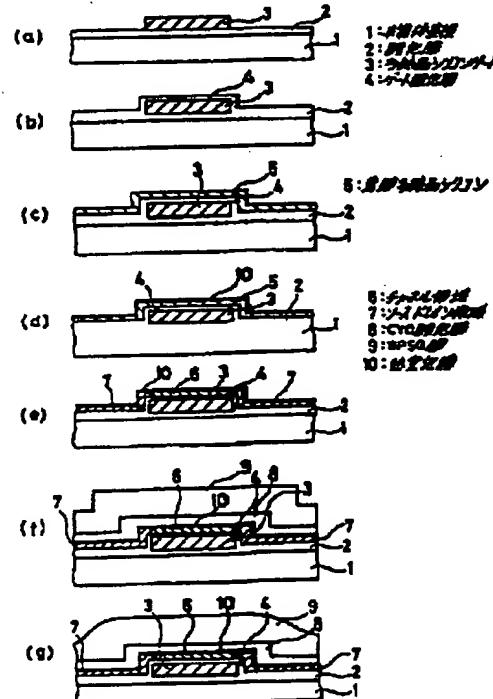
(74)代理人 弁理士 早瀬 憲一

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 TFT構造を有するデバイスにおいて、薄膜多結晶シリコン形成後の後工程で保護膜平坦化する際の、酸化雰囲気での熱処理による薄膜多結晶シリコンの膜減りを防ぐ。

【構成】 薄膜多結晶シリコン5堆積後、アンモニア雰囲気で熱処理を行い、薄膜多結晶シリコンの表面に極めて薄い熱室化膜10を形成する。



【特許請求の範囲】

【請求項1】 基板上形成された薄膜多結晶シリコン層と、該薄膜多結晶シリコン表面に形成された薄い変化膜と、該変化膜上に酸化膜を介して形成されたバッシャーション膜とを備えたことを特徴とする半導体装置。

【請求項2】 基板上に薄膜多結晶シリコン層を堆積する工程と、該薄膜多結晶シリコン表面に薄い空化膜を形成する工程と、該空化膜上に酸化膜を介してバッシャーション膜を形成する工程と、該バッシャーション膜を平坦化する熱処理工程とを備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は半導体装置及びその製造方法に関し、例えば薄膜構造のトランジスタ(Thin Film Transistor; TFT)等の薄い多結晶シリコン層を有する半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】 図2は従来のTFT型デバイスの製造工程フローの断面図であり、図において、1は半導体基板、3は半導体基板1上に熱酸化膜またはCVD酸化膜等の酸化シリコン膜2を介して形成された多結晶シリコンゲート、4は多結晶シリコンゲート3を覆うゲート絶縁膜、5は後にTFTのソース・ドレイン領域及びチャネル領域となる例えば厚さ0.1～0.5μmの薄膜多結晶シリコン、6はTFTのチャネル領域、7はTFTのソース・ドレイン領域、8はこれら領域6、7上に形成されたCVD酸化膜で、保護膜であるBPSG膜9を構成するPやB等が上記薄膜多結晶シリコン5に拡散するのを防止するために設けられている。

【0003】 次に製造工程について説明する。まず半導体基板1上に熱酸化法及び化学的気相成長法(以下、LPCVD法)で酸化シリコン膜2を形成し(図(a))、その上に多結晶シリコンまたは高融点金属でゲート電極3を形成する。次いでゲート電極3の上に、熱酸化またはLPCVD法でゲート絶縁膜4を形成し(図(b))、さらにその上にLPCVD法により薄膜多結晶シリコン膜5を堆積する(図(c))。

【0004】 次いでこの薄膜多結晶シリコン膜5の所定部分にイオン注入法を用い、TFTのチャネル領域6、及びソース・ドレイン領域7を作る。続いて、LPCVD法により酸化膜8、及び常圧CVD法によりBPSG膜9を順に堆積した後(図(d))、酸素または水蒸気雰囲気で熱処理を行い、BPSG膜9を平坦化する(図(e))。

【0005】

【発明が解決しようとする課題】 従来の半導体装置は以上のような方法で製造されるため、チャネル領域及びソース・ドレイン領域を形成する多結晶シリコンが、BPSG膜9を平坦化するための後工程の酸素及び水蒸気雰囲気の熱処理工程において、酸素や水蒸気に由来する酸化剤(OH⁻、O²⁻等)が侵入することにより酸化され、図2(e)中の点線で示すように、例えば0.2μmの薄膜多結晶シリコン膜において0.05～0.1μm程度膜減りを起こすという問題点があった。

【0006】 この発明は上記のような問題点を解消するためになされたもので、チャネル領域及びソース・ドレイン領域を形成する多結晶シリコン膜が、後工程の熱処理で酸化されて膜減りすることのない半導体装置の製造方法を得ることを目的とする。

【0007】

【課題を解決するための手段】 この発明に係る半導体装置は、基板上に形成された薄膜多結晶シリコン層表面に薄い空化膜を備えたものである。

【0008】 またこの発明に係る半導体装置の製造方法は、基板上に形成された薄膜多結晶シリコン層表面に極めて薄い空化膜を形成する工程を備えたものである。

【0009】

【作用】 この発明においては、薄膜多結晶シリコン層上に極めて薄い空化膜を形成するようにしたから、後工程での酸素、水蒸気雰囲気での熱処理中に酸化剤が薄膜ポリシリコンに侵入していくことがない。

【0010】

【実施例】 以下、この発明の一実施例による半導体装置の製造方法を図について説明する。図1において、図2と同一符号は同一または相当部分を示し、10は薄膜多結晶シリコン上に形成された薄い空化膜を示す。

【0011】 次に製造工程について説明する。まず従来と同様にして半導体基板1の上に熱酸化法及び化学的気相成長法で酸化シリコン膜2を形成し、多結晶シリコンまたは高融点金属でゲート電極3を形成する(図(a))。そしてゲート電極3の上に熱酸化またはLPCVD法でゲート絶縁膜4を形成し(図(b))、さらにトランジスタのチャネル及びソース・ドレインとなる例えば厚さ0.1～0.5μm程度の薄膜多結晶シリコン膜5を堆積する(図(c))。

【0012】 次にアンモニア雰囲気中でアニールランプ装置等で熱処理を行い、薄膜多結晶シリコン膜5の表面に極めて薄い(<0.05μm)空化膜10を形成する(図(d))。その後、薄膜多結晶シリコン5の所定領域に不純物注入を行いチャネル領域6、ソース・ドレイン領域7を形成し(図(e))、その上にCVD法により酸化膜8、BPSG膜9を順に堆積する(図(f))。

【0013】 そして、BPSG膜9を平坦化するため、酸素及び水蒸気雰囲気で熱処理を行う(図(g))。このとき、酸素及び水蒸気が薄膜多結晶シリコン5に向けて侵入するが、空化膜10は酸化膜に比べて耐酸化性に優れており、これが障壁となり、酸素及び水蒸気に由来する酸化剤(OH⁻、O²⁻等)が薄膜多結晶シリコン

5内部に到達することができなく、従って酸化による膜減りを防ぐことができる。

【0014】このように本実施例によれば、チャネル及びソース・ドレインを形成する薄膜多結晶シリコン5形 成後に、アンモニア雰囲気中でアニールランプ装置等で熱処理を行ない、多結晶シリコン5表面に極めて薄い熱室化膜10を形成するようにしたので、BPSG膜9を平坦化するための後工程で酸素、水蒸気に由来する酸化剤が薄膜多結晶シリコン5に侵入して膜減りが起こることがない。

【0015】

【発明の効果】以上のようにこの発明によれば、薄膜多結晶シリコン層上に極めて薄い熱室化膜を形成するようにしたから、後工程の酸素または水蒸気雰囲気中の熱処理工程による酸化剤の侵入がこの熱室化膜により阻止され、従って酸化による多結晶シリコンの膜減りを防ぐことができ、設計通りの半導体装置を得ることができる

という効果がある。

【図面の簡単な説明】

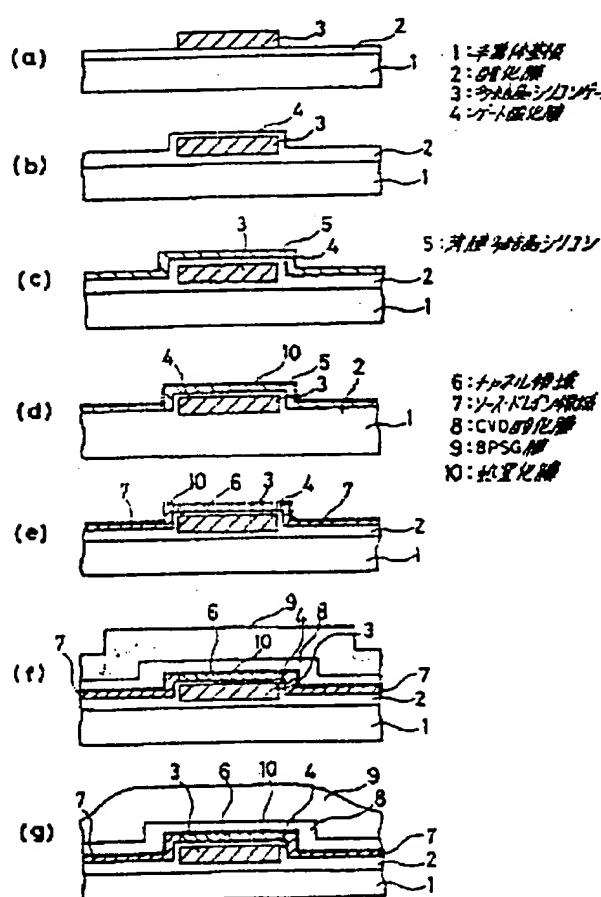
【図1】この発明の一実施例による半導体装置の製造方法を示す図。

【図2】従来の半導体装置の製造方法を示す図。

【符号の説明】

- | | |
|----|------------|
| 1 | 半導体基板 |
| 2 | 酸化膜 |
| 3 | 多結晶シリコンゲート |
| 4 | ゲート酸化膜 |
| 5 | 薄膜多結晶シリコン |
| 6 | チャネル領域 |
| 7 | ソース・ドレイン領域 |
| 8 | CVD酸化膜 |
| 9 | BPSG膜 |
| 10 | 熱室化膜 |

【図1】



【図2】

